

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-092544

(43)Date of publication of application : 06.04.2001

(51)Int.Cl.

G05F 1/56

(21)Application number : 11-265209

(71)Applicant : TOSHIBA MICROELECTRONICS  
CORP  
TOSHIBA CORP

(22)Date of filing : 20.09.1999

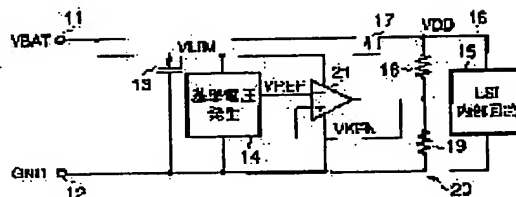
(72)Inventor : SUWABE HIROYUKI

## (54) CONSTANT VOLTAGE CIRCUIT

## (57)Abstract:

PROBLEM TO BE SOLVED: To supply a fixed voltage not depending on external power voltage to a reference voltage generation circuit for generating a reference voltage and a comparator for controlling a transistor(TR) for dropping voltage as power supply voltage.

SOLUTION: This constant voltage circuit is provided with terminals 11, 12, a depression type TR 13 connecting one end of a current passage between its source and drain to the terminal 11, connecting its gate to the terminal 12 and capable of generating limited voltage VLIM, a reference voltage generation circuit 14 allowed to be driven by the voltage VLIM and capable of generating reference voltage VREF, and a TR 17 connecting one end of a current passage between its source and drain to the terminal 11. The constant voltage circuit is also provided with a voltage division circuit 20 for dividing voltage generated between the other end of the current passage of the TR 17 and the terminal 11 and generating divided voltage and a comparator 21 allowed to be driven by the voltage VLIM and capable of comparing the reference voltage VREF with the divided voltage VKEN.



## LEGAL STATUS

[Date of request for examination]

28.01.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-92544

(P2001-92544A)

(43) 公開日 平成13年4月6日 (2001.4.6)

(51) Int.Cl.

G 0 5 F 1/56

識別記号

3 1 0

F I

G 0 5 F 1/56

テームト\* (参考)

3 1 0 Z 5 H 4 3 0

審査請求 未請求 請求項の数4 O L (全 7 頁)

(21) 出願番号 特願平11-265209

(22) 出願日 平成11年9月20日 (1999.9.20)

(71) 出願人 000221199

東芝マイクロエレクトロニクス株式会社

神奈川県川崎市川崎区駅前本町25番地 1

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 諏訪部 裕之

神奈川県川崎市川崎区駅前本町25番地 1

東芝マイクロエレクトロニクス株式会社内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外 6 名)

Fターム (参考) 5H430 BB01 BB05 BB09 BB11 EE06

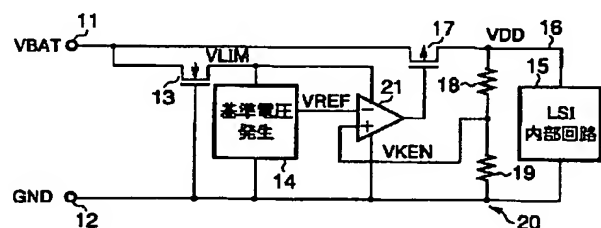
FF02 FF13 GG08 HH03 HH05

(54) 【発明の名称】 定電圧回路

(57) 【要約】

【課題】 基準電圧を発生する基準電圧発生回路と、電圧降下用のトランジスタを制御するためのコンパレータに対し電源電圧として外部電源電圧に依存しない一定の電圧を供給することを最も主要な特徴とする。

【解決手段】 端子11、12と、ソース、ドレイン間の電流通路の一端が端子11に接続され、ゲートが端子12に接続され、制限された電圧V<sub>LIM</sub>を発生するデプレッション型のトランジスタ13と、電圧V<sub>LIM</sub>によって動作し、基準電圧V<sub>REF</sub>を発生する基準電圧発生回路14と、ソース、ドレイン間の電流通路の一端が端子11に接続されたトランジスタ17と、トランジスタ17の電流通路の他端と端子11との間に生じる電圧を分割して分割電圧を発生する電圧分割回路20と、電圧V<sub>LIM</sub>によって動作し、基準電圧V<sub>REF</sub>と分割電圧V<sub>KEN</sub>とを比較するコンパレータ21とを具備したことを特徴とする



## 【特許請求の範囲】

【請求項1】 第1及び第2の端子と、

ソース、ドレイン間の電流通路の一端が上記第1の端子に接続され、ゲートが上記第2の端子に接続されたデプレッション型の第1のトランジスタと、

上記第1のトランジスタの電流通路の他端と上記第2の端子との間に生じる電圧によって動作し、基準電圧を発生する基準電圧発生回路と、

ソース、ドレイン間の電流通路の一端が上記第1の端子に接続された第2のトランジスタと、

上記第2のトランジスタの電流通路の他端と上記第2の端子との間に生じる電圧を分割して分割電圧を発生する電圧分割回路と、

上記第1のトランジスタの電流通路の他端と上記第2の端子との間に生じる電圧によって動作し、上記基準電圧発生回路で発生される基準電圧と上記電圧分割回路で発生される分割電圧とを比較し、その出力で上記第2のトランジスタのゲートを制御するコンパレータとを具備したことを特徴とする定電圧回路。

【請求項2】 第1及び第2の端子と、

ソース、ドレイン間の電流通路の一端が上記第1の端子に接続されたデプレッション型の第1のトランジスタと、

ソース、ドレイン間の電流通路の一端が上記第1の端子に接続され、電流通路の他端が上記第1のトランジスタのゲートに接続され、ゲートが上記第2の端子に接続されたデプレッション型の第2のトランジスタと、

上記第1のトランジスタのゲート及び上記第2のトランジスタの電流通路の他端の接続ノードと上記第2の端子との間に接続された定電流素子と、

上記第1のトランジスタの電流通路の他端と上記第2の端子との間に生じる電圧によって動作し、基準電圧を発生する基準電圧発生回路と、

ソース、ドレイン間の電流通路の一端が上記第1の端子に接続された第3のトランジスタと、

上記第3のトランジスタの電流通路の他端と上記第2の端子との間に生じる電圧を分割して分割電圧を発生する電圧分割回路と、

上記第1のトランジスタの電流通路の他端と上記第2の端子との間に生じる電圧によって動作し、上記基準電圧発生回路で発生される基準電圧と上記電圧分割回路で発生される分割電圧とを比較し、その出力で上記第3のトランジスタのゲートを制御するコンパレータとを具備したことを特徴とする定電圧回路。

【請求項3】 前記定電流素子が抵抗である請求項2に記載の定電圧回路。

【請求項4】 前記定電流素子が定電流源である請求項2に記載の定電圧回路。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は半導体集積回路に内蔵される定電圧回路に係り、特に外部より供給される電源電圧よりも低い一定電圧を発生する定電圧回路に関する。

【0002】

【従来の技術】 従来、電池電源など、電圧が変動する電源を使用する大規模半導体集積回路（以下、LSIと称する）には、（1）LSIに供給される電源電圧が定格で規定された動作電源電圧範囲を超えないようにする、

（2）LSI内部の電源電圧の値を低く押さえて消費電流を低減させる、（3）LSI外部回路とのインターフェースを取るために電源電圧を合わせ込む、などの目的から、外部より供給される電源電圧を、LSIに内蔵された定電圧回路で一定電圧に降圧して、LSI内部回路の電源として供給するシステムがある。このようなシステムでは、定電圧化に際して厳しい精度が要求されることが多い。

【0003】 ここで、従来の定電圧回路の一例を図8に示す。この定電圧回路には端子11、12が設けられている。一方の端子11には電池の高電位側電圧VBATが供給され、他方の端子12には基準電位側の接地電圧GNDが供給される。基準電圧発生回路14は、上記電圧VBATで動作し、この電圧VBATからそれよりも値が低い基準電圧VREFを発生する。

【0004】 また、上記端子11とLSI内部回路15の電源ノード16との間には、端子11の電圧を降圧してLSI内部回路15に供給する電圧降圧用のPチャネルMOSTランジスタ17のソース、ドレイン間が挿入されている。上記電源ノード16に得られる電圧VDDは、一対の抵抗18、19からなる電圧分割回路20によって所定の比率で分割される。

【0005】 コンパレータ21は、上記電圧VBATで動作し、基準電圧発生回路14で発生された基準電圧VREFと、電圧分割回路20で発生された分割電圧VKENとを比較する。そして、このコンパレータ21からの出力は上記トランジスタ17のゲートに供給される。

【0006】 ここで、図8の定電圧回路の動作を簡単に説明する。端子11に電池の電圧VBATが供給されると、基準電圧発生回路14は、上記電圧VBATの値に依存しない一定の基準電圧VREFを発生する。なお、電圧分割回路20における一対の抵抗18、19は、LSI内部回路15の電源ノード16における電圧VDDが所望の値になったときに、分割電圧VKENと基準電圧VREFとが実質的に等しくなるように抵抗比が設定されている。従って、VDDが所望の値よりも低い時はVKEN<VREFとなり、このときのコンパレータ21の出力によってトランジスタ17がオンするように制御される。すると、電源ノード16の電圧VDDはVBATに近付くように上昇を始める。逆に、VDDが所望の値よりも高い時はVKEN>VREFとなり、このと

きのコンパレータ21の出力によってトランジスタ17はオフするように制御される。このとき、電源ノード16の電圧VDDは、LSI内部回路15の消費電流によって順次低下していく。ここで、電圧VBATの値が変動しても基準電圧VREFの値は変動しないので、電源ノード16における電圧VDDは予め設定された所望の値と一致するように制御される。

【0007】

【発明が解決しようとする課題】ところで、図8に示した従来の定電圧回路では、電圧VBATの値がLSIの定格値を超える仕様の場合、トランジスタ17や基準電圧発生回路14及びコンパレータ21を構成するトランジスタは、十分な耐圧を持たせるために、高耐圧プロセスなどの特殊なプロセスを用いて形成する必要がある。この場合、次のような種々の問題が生じる。

【0008】(1) 設計ルールが標準耐圧のトランジスタと異なるために、標準耐圧の設計ルールで設計された実績のある既存回路ブロックが使用できず、専用に再設計が必要となる。

【0009】(2) 高耐圧プロセスは耐圧を保持するために、標準耐圧の設計ルールよりもトランジスタサイズが大きくなり、パターン面積が増大し、LSIの製造コストが高くなる。

【0010】(3) 高耐圧プロセスは耐圧を高めるために、トランジスタのドレイン領域を通常の拡散領域の他にそれよりも不純物濃度が薄い拡散領域を持つLDD (Lightly Doped Drain) 構造にする必要がある。従って、一般的な標準耐圧プロセスよりもチャネル長変調効果やしきい値のばらつきなどのプロセスばらつきが大きく、基準電圧発生回路14の電源電圧依存性や絶対精度が悪くなり、LSI内部回路16に供給される降圧された電圧VDDの精度も悪くなる。

【0011】一方、高耐圧プロセスなどの追加プロセスを用いない場合には、定電圧回路をLSI内部回路15と一体的に集積化せずに、外付け回路としてLSIの外部に設けるなど、LSI外部で電源電圧を押さえるシステム対策が不可欠となり、コストの高騰やセット上の基板スペース確保が難しいなどの不具合が生じる。

【0012】この発明は上記のような事情を考慮してなされたものであり、その目的は、上記したような種々の問題点を解消して、高精度、低コストの定電圧回路を提供することである。

【0013】

【課題を解決するための手段】この発明の定電圧回路は、ソース、ドレイン間の電流通路の一端が上記第1の端子に接続され、ゲートが上記第2の端子に接続されたデプレッション型の第1のトランジスタと、上記第1のトランジスタの電流通路の他端と上記第2の端子との間に生じる電圧によって動作し、基準電圧を発生する基準電圧発生回路と、ソース、ドレイン間の電流通路の一端

が上記第1の端子に接続された第2のトランジスタと、上記第2のトランジスタの電流通路の他端と上記第2の端子との間に生じる電圧を分割して分割電圧を発生する電圧分割回路と、上記第1のトランジスタの電流通路の他端と上記第2の端子との間に生じる電圧によって動作し、上記基準電圧発生回路で発生される基準電圧と上記電圧分割回路で発生される分割電圧とを比較し、その出力で上記第2のトランジスタのゲートを制御するコンパレータとを具備したことを特徴とする。

【0014】この発明の定電圧回路は、第1及び第2の端子と、ソース、ドレイン間の電流通路の一端が上記第1の端子に接続されたデプレッション型の第1のトランジスタと、ソース、ドレイン間の電流通路の一端が上記第1の端子に接続され、電流通路の他端が上記第1のトランジスタのゲートに接続され、ゲートが上記第2の端子に接続されたデプレッション型の第2のトランジスタと、上記第1のトランジスタのゲートと上記第2のトランジスタの電流通路の他端との接続ノードと上記第2の端子との間に接続された定電流素子と、上記第1のトランジスタの電流通路の他端と上記第2の端子との間に生じる電圧によって動作し、基準電圧を発生する基準電圧発生回路と、ソース、ドレイン間の電流通路の一端が上記第1の端子に接続された第3のトランジスタと、上記第3のトランジスタの電流通路の他端と上記第2の端子との間に生じる電圧を分割して分割電圧を発生する電圧分割回路と、上記第1のトランジスタの電流通路の他端と上記第2の端子との間に生じる電圧によって動作し、上記基準電圧発生回路で発生される基準電圧と上記電圧分割回路で発生される分割電圧とを比較し、その出力で上記第3のトランジスタのゲートを制御するコンパレータとを具備したことを特徴とする。

【0015】

【発明の実施の形態】以下図面を参照してこの発明を実施の形態により説明する。

【0016】図1はこの発明に係る定電圧回路の第1の実施の形態による回路図である。この定電圧回路には端子11、12が設けられている。一方の端子11には電池の高電位側電圧VBATが供給され、他方の端子12には基準電位側の接地電圧GNDが供給される。上記端子11にはNチャネルでデプレッション型のMOSトランジスタ13のソース、ドレイン間の電流通路の一端が接続されている。このトランジスタ13のゲートは上記端子12に接続されている。

【0017】基準電圧発生回路14は、上記トランジスタ13のソース、ドレイン間の電流通路の他端に得られる電圧VLIMで動作し、この電圧VLIMからそれよりも値が低い一定の基準電圧VREFを発生する。

【0018】また、上記端子11とLSI内部回路15の電源ノード16との間には、端子11の電圧を降圧してLSI内部回路15に供給する電圧降圧用のPチャネ

ルでエンハンスメント型のMOSトランジスタ17のソース、ドレイン間の電流通路が挿入されている。上記電源ノード16に得られる電圧VDDは、電源ノード16と端子12との間に直列に接続された一対の抵抗18、19からなる電圧分割回路20によって、抵抗18、19の抵抗比に応じた所定の比率で分割される。

【0019】コンパレータ21は、上記電圧V<sub>LI</sub>Mで動作し、基準電圧発生回路14で発生された基準電圧V<sub>REF</sub>と電圧分割回路20で発生された分割電圧V<sub>KEN</sub>とを比較する。そして、このコンパレータ21からの出力は上記トランジスタ17のゲートに供給される。

【0020】次に、上記のように構成された回路の動作を説明する。なお、上記デプレッション型のMOSトランジスタ13は、しきい値V<sub>th</sub>が例えば2V程度となるように、予めチャネル領域に対して所定の不純物イオンが所定のドーズ量で注入されているとする。

【0021】外部から端子11に電池の電圧V<sub>BAT</sub>が供給されると、デプレッション型のMOSトランジスタ13がオンし、端子11に接続されている側とは反対側のソース、ドレイン間の電流通路の他端における電圧V<sub>LI</sub>Mが電圧V<sub>BAT</sub>に近付くように上昇を始める。ここで、上記トランジスタ13のゲートは接地電圧GND(0V)の端子12に接続されているので、電圧V<sub>LI</sub>Mがゲートの電圧(GND)に対し、しきい値の絶対値分だけ高くなると、このトランジスタ13がオフする。すなわち、電圧V<sub>LI</sub>Mが2V程度を超えるとトランジスタ13がオフし、電圧V<sub>LI</sub>Mの上昇が停止するので、電圧V<sub>BAT</sub>が2V以上に上昇しても電圧V<sub>LI</sub>Mは2V程度に制限される。この電圧V<sub>LI</sub>Mは基準電圧発生回路14及びコンパレータ21に対して電源電圧として供給されており、電圧V<sub>BAT</sub>が2V以上に上昇してもこれら基準電圧発生回路14及びコンパレータ21には2V程度の電源電圧(V<sub>LI</sub>M)しか加わらない。ここで、上記電圧V<sub>BAT</sub>とV<sub>LI</sub>Mとの関係を図2の特性図に示す。

【0022】基準電圧発生回路14は、電圧V<sub>BAT</sub>やV<sub>LI</sub>Mに依存せず、それらよりも低い値の基準電圧V<sub>REF</sub>を上記電圧V<sub>LI</sub>Mから発生する。また、電圧分割回路20における一対の抵抗18、19は、LSI内部回路15の電源ノード16における電圧VDDが所望の値になったときに、分割電圧V<sub>KEN</sub>と基準電圧V<sub>REF</sub>とが実質的に等しくなるように抵抗比が設定されているとする。よって、VDDが所望の値よりも低い時はV<sub>KEN</sub><V<sub>REF</sub>となり、このとき、コンパレータ21の出力によって、トランジスタ17はオンするように制御される。すると、電源ノード16の電圧VDDはV<sub>BAT</sub>に近付くように上昇を始める。逆に、VDDが所望の値よりも高い時はV<sub>KEN</sub>>V<sub>REF</sub>となり、このとき、コンパレータ21の出力によって、トランジスタ17はオフするように制御される。このとき、電源ノード

16の電圧VDDは、LSI内部回路15の消費電流によって順次低下していく。ここで、電圧V<sub>BAT</sub>の値が変動しても基準電圧V<sub>REF</sub>の値は変動しないので、電源ノード16の電圧VDDは予め設定された所望の値と一致するように制御される。

【0023】図1に示した定電圧回路では、端子11に電圧V<sub>BAT</sub>としてLSIの標準耐圧プロセスの定格を超える高電圧が供給される場合であっても、トランジスタ13と17のみに高電圧が印加されるだけであり、基準電圧発生回路14及びコンパレータ21には標準耐圧以下の電圧(2V程度)しか印加されないようにできる。また、基準電圧発生回路14及びコンパレータ21に供給される電圧V<sub>LI</sub>Mは、電池電圧V<sub>BAT</sub>が2V以上であっても一定値となるので、基準電圧発生回路14及びコンパレータ21の電源依存性が小さくなり、より高精度に電圧VDDの出力制御を行うことができる。

【0024】このように第1の実施の形態による定電圧回路によれば、以下のような効果を得ることができる。

【0025】(1)電池電圧V<sub>BAT</sub>がLSIの定格を超える仕様の場合であっても、基準電圧発生回路14及びコンパレータ21の各回路ブロックに高耐圧トランジスタを用いる必要がない。従って、基準電圧発生回路14及びコンパレータ21では標準設計ルールで設計された実績のある既存回路ブロックが使用でき、設計期間の短縮や確度の向上が期待できる。

【0026】(2)上記(1)で説明したように、基準電圧発生回路14及びコンパレータ21は標準設計ルールで設計され、高耐圧プロセスの設計ルールを使用しないので、パターン面積が増大せず、製造コストが安くなる。

【0027】(3)上記(1)で説明したように、基準電圧発生回路14及びコンパレータ21は標準設計ルールで設計できるので、トランジスタのしきい値ばらつきなどのプロセスばらつきが高耐圧プロセスに比較して小さくなる。また、基準電圧発生回路14に供給される電源電圧が制限されるので、電圧依存性が小さく、LSI内部回路15に供給される電源電圧VDDの精度が非常に良くなる。このとき、消費電流など他の特性への影響もほとんどない。

【0028】(4)LSI内部回路15と一体的に集積化することができ、外付け回路としてLSIの外部に設ける必要がないので、低コスト化やセット上の基板スペースの縮小化が可能になる。

【0029】なお、上記第1の実施の形態において、トランジスタ13のしきい値を2V程度に設定する場合について説明したが、これは必要に応じて任意の値に設定することができる。

【0030】次に、この発明の第2の実施の形態について、図3を参照して説明する。

【0031】図1に示した第1の実施の形態によるもの

では、Nチャネルでデプレッション型のMOSトランジスタ13のゲートを接地電圧GNDが供給される端子12に接続していたが、この第2の実施の形態による定電圧回路では、トランジスタ13のゲートを、定電流素子である抵抗22を介して端子12に接続するようにしている。さらにこの第2の実施の形態による定電圧回路では、Nチャネルでデプレッション型のMOSトランジスタ23が追加されている。この新たに追加されたトランジスタ23のソース、ドレイン間の電流通路は、端子11と前記トランジスタ13のゲートとの間に挿入されており、このトランジスタ23のゲートは端子12に接続されている。なお、それ以外の構成は図1と同じなので説明は省略する。

【0032】ここで、新たに追加された抵抗22の抵抗値は新たに追加されたトランジスタ23のオン抵抗の値よりも十分に大きくなるように設定されていると共に、追加されたトランジスタ23は、前記トランジスタ13と同様に、しきい値 $V_{th}$ が例えば $-2V$ 程度となるように予めチャネル領域に対して所定の不純物イオンが所定のドーピング量で注入されているとする。

【0033】このような構成において、端子11に電池の電圧VBATが供給されると、ゲートが接地電圧GNDの端子12に接続されているトランジスタ23がオンし、トランジスタ13のゲートにおける電圧がVBATに近付くように上昇を始める。ここで、トランジスタ23のゲートは接地電圧GND(0V)の端子12に接続されているので、トランジスタ13のゲート電圧が接地電圧GNDに対してトランジスタ23のしきい値の絶対値分だけ高くなると、このトランジスタ23がオフする。すなわち、トランジスタ13のゲート電圧が $2V$ 程度を超えるとトランジスタ23がオフしてトランジスタ13のゲート電圧の上昇が停止し、このゲート電圧は $2V$ 程度に制限される。

【0034】一方、端子11に電池の電圧VBATが供給された後は、トランジスタ13もオンし、電圧VLI Mが電圧VBATに近付くように上昇を始める。そして、電圧VLI Mの値がトランジスタ13のゲート電圧に対してそのしきい値の絶対値分だけ高くなると、このトランジスタ13がオフする。従って、電池の電圧VBATが $4V$ 以上に上昇しても、電圧VLI Mの値はトランジスタ23、13の両しきい値の絶対値の和である $4V$ 程度に制限される。この電圧VLI Mは基準電圧発生回路14及びコンパレータ21に対して電源電圧として供給されており、電圧VBATが $4V$ 以上に上昇してもこれら基準電圧発生回路14及びコンパレータ21には $4V$ 程度の電源電圧(VLI M)しか加わらない。ここで、上記電圧VBATとVLI Mとの関係を図4の特性図に示す。

【0035】この図3の実施の形態の回路では、トランジスタ23がオンする際に抵抗22を介して電流が流れ

る。しかし、トランジスタ23のオン抵抗に対して抵抗22の抵抗値が十分に高く設定されており、この抵抗22で消費される電流はLSI内部回路15における消費電流に対して非常に小さく、LSI内部回路15の消費電流特性に対してほとんど影響を及ぼさない。

【0036】この実施の形態の場合にも、上記第1の実施の形態と同様の効果が得られる上に、電圧VDDが2個のトランジスタ13、23のしきい値の絶対値の和の電圧に制限されるので、基準電圧発生回路14及びコンパレータ21に供給される電源電圧としての電圧VLI Mの値をより自由に設定することができるという効果も得られる。

【0037】なお、上記第2の実施の形態において、抵抗22とトランジスタ23とからなる回路を1段の回路とし、この回路をn段接続する構成とすることによって、電圧VLI Mをトランジスタ13、23のしきい値 $V_{th}$ の $(n+1)$ 倍の値に制限することもできる。また、各トランジスタのしきい値を異ならせることにより、電圧VLI Mの値を種々に設定することもできる。

【0038】次に、この発明の第3の実施の形態について、図5を参照して説明する。

【0039】図3に示した第2の実施の形態では、トランジスタ13のゲートと端子12との間に定電流素子として抵抗22を接続する場合を説明したが、この第3の実施の形態では定電流素子として抵抗22の代りに定電流源24を接続するようにしたものである。この定電流源24は、同じLSI内の他の回路、例えば基準電圧発生回路14などにおいて、ゲートに所定のバイアス電圧が供給されていてソース、ドレイン間に所定の電流が流れるようにされた定電流源用のトランジスタに対して、ゲートが共通に接続された単一のトランジスタによって構成されている。

【0040】この実施の形態によれば、図3の実施の形態と同様の効果が得られる上に、集積回路上で大きなパターン面積を占める前記抵抗22に代えて単一のトランジスタによって構成されている定電流源24を用いるようにしているので、より小さなパターン面積が実現できる効果が得られる。

【0041】すなわち、集積回路上の抵抗としては、半導体基板に含まれる不純物とは反対導電型の不純物を基板に拡散して形成される拡散抵抗が一般に使用される。また、拡散抵抗に流れる電流を少くするためには、拡散抵抗のパターン形状の長さ/幅で決定される抵抗値を大きくする必要がある。しかし、拡散抵抗の幅は設計ルールによって最小寸法が決められているために、大きな抵抗値を実現するためにはパターンの長い形状の抵抗素子が必要になり、これによってパターン面積が増大する。ところが、第3の実施の形態によれば、LSI上で大きなパターン面積を占める抵抗の代わりに、パターン面積の小さいトランジスタを用いるようにしているので、

図3に示した実施の形態のものに比べて、より小さなパターン面積が実現できる。

【0042】図6は、上記第1ないし第3の各実施の形態で使用される基準電圧発生回路14の詳細な回路の一例を示している。この回路は、前記電圧 $V_{LIM}$ が供給されるノードにそれぞれのソースが接続されたPチャンネルでエンハンスメント型のMOSトランジスタ31~33と、接地電圧 $GND$ が供給されるノードにそれぞれのソースが接続されたNチャンネルでエンハンスメント型のMOSトランジスタ34、35と、上記トランジスタ31及び34の両ドレイン相互間に接続された抵抗36と、上記トランジスタ33のドレインと接地電圧 $GND$ が供給されるノードとの間に接続された抵抗37とから構成されている。

【0043】そして、上記トランジスタ32のゲートとドレインとの間が短絡され、かつ上記トランジスタ31~33のゲートが共通に接続されており、これら3個のトランジスタ31~33はカレントミラー回路を構成し、かつトランジスタ31~33はそれぞれ定電流源として作用する。

【0044】また、上記トランジスタ34のゲートはトランジスタ31のドレインに接続され、トランジスタ35のゲートはトランジスタ34のドレインに接続されている。そして、前記基準電圧 $V_{REF}$ は、トランジスタ33のドレインと抵抗37との接続ノードに得られる。

【0045】この基準電圧発生回路では、トランジスタ34、35を弱反転領域で動作させている。そして、両トランジスタ34、35のゲート相互間であってトランジスタ31に流れる定電流の経路に抵抗36を挿入することにより、トランジスタ34、35のゲートバイアス電圧を異ならせて、トランジスタ33に一定電流を流し、これによって抵抗37に一定の電圧降下を生じさせて一定の基準電圧 $V_{REF}$ を得るようにしている。

【0046】図7は、上記第1ないし第3の各実施の形態で使用されるコンパレータ21の詳細な回路の一例を示している。この回路は、前記電圧 $V_{LIM}$ が供給されるノードにそれぞれの一端が接続された定電流源41、42と、上記定電流源41の他端にそれぞれのソースが接続され、それぞれのゲートに前記電圧 $V_{KEN}$ 、 $V_{REF}$ がそれぞれ供給される差動対を構成する2個のPチャンネルでエンハンスメント型のMOSトランジスタ43、44と、上記トランジスタ43のドレインと接地電圧 $GND$ の供給ノードとの間にドレイン、ソース間が接続されたNチャンネルでエンハンスメント型のMOSトランジスタ45と、上記トランジスタ44のドレインと接地電圧 $GND$ の供給ノードとの間にドレイン、ソース間が接続されたNチャンネルでエンハンスメント型のMOS

トランジスタ47とから構成されている。

【0047】そして、上記トランジスタ46のゲートとドレインとの間が短絡され、トランジスタ45、46のゲートが共通接続されて、この両トランジスタ45、46はカレントミラー回路を構成し、かつトランジスタ45、46はそれぞれ能動負荷として作用する。また、トランジスタ43のドレインとトランジスタ45のドレインとの接続ノードにトランジスタ47のゲートが接続される。そして、上記定電流源42とトランジスタ47との接続ノードから前記トランジスタ17のゲートに供給するための信号電圧が得られる。

【0048】このような構成のコンパレータにおいて、差動対を構成する2個のPチャンネルでエンハンスメント型のMOSトランジスタ43、44のゲートに供給される電圧 $V_{KEN}$ 、 $V_{REF}$ の大小関係に応じてトランジスタ47のゲート電圧が変化し、このトランジスタ47の導通状態に応じて定電流源42との接続ノードに発生する電圧が変化する。

【0049】

【発明の効果】以上説明したようにこの発明によれば、従来の種々の問題点を解消して、高精度、低コストの定電圧回路を提供することができる。

【図面の簡単な説明】

【図1】この発明に係る定電圧回路の第1の実施の形態の回路図。

【図2】図1の実施の形態回路の特性図。

【図3】この発明に係る定電圧回路の第2の実施の形態の回路図。

【図4】図3の実施の形態回路の特性図。

【図5】この発明に係る定電圧回路の第3の実施の形態の回路図。

【図6】第1ないし第3の各実施の形態の回路で使用される基準電圧発生回路の詳細な回路図。

【図7】第1ないし第3の各実施の形態の回路で使用されるコンパレータの詳細な回路図。

【図8】従来の定電圧回路の回路図。

【符号の説明】

11、12…端子、

13…Nチャンネルでデプレッション型のMOSトランジスタ、

14…基準電圧発生回路、

15…LSI内部回路、

16…LSI内部回路の電源ノード、

17…電圧降圧用のPチャンネルでエンハンスメント型のMOSトランジスタ、

18、19…抵抗、

20…電圧分割回路、

21…コンパレータ、

22…抵抗、

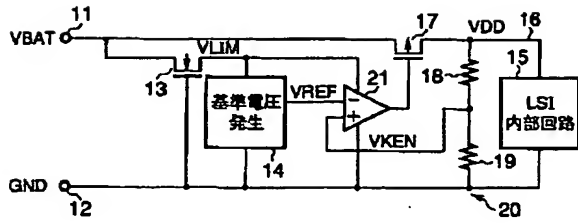
23…Nチャンネルでデプレッション型のMOSトランジ



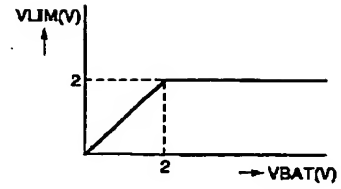
スタ、

24…定電流源。

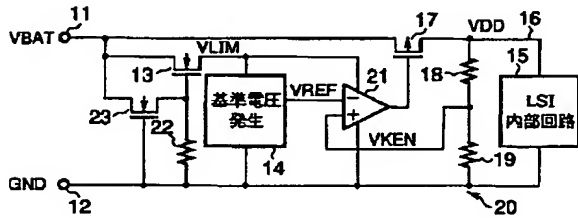
【図1】



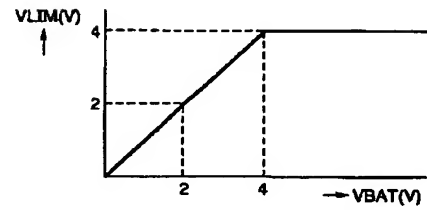
【図2】



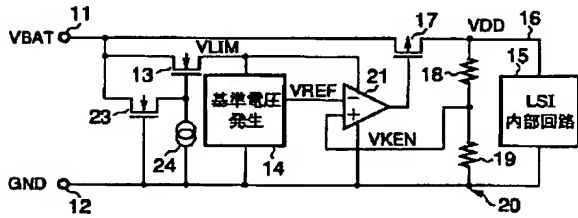
【図3】



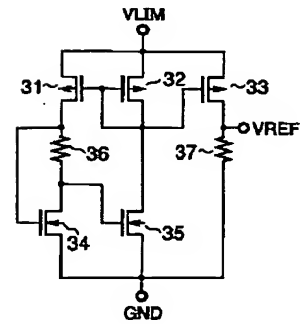
【図4】



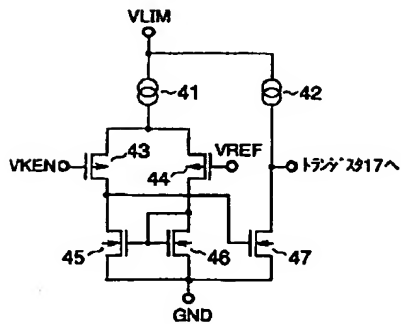
【図5】



【図6】



【図7】



【図8】

